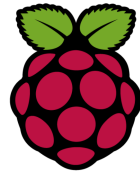


## Raspberry Pi Le fichier makefile



### 1 fonction du makefile

Le fichier makefile est utilisé par le programme make pour exécuter des actions de compilation d'un projet avec gcc par exemple. Le travail de **make** est essentiellement de vérifier les dates des fichiers pour déterminer quels sont ceux qui sont à jour et ceux qu'il faut recréer afin de générer le projet. Pour chacun des fichiers à recréer, une ligne de commande est exécutée.

### 2 Structure du fichier makefile

Un makefile est un fichier constitué de plusieurs règles de la forme :

```
hello: hello.o main.o
    gcc -o hello hello.o main.o
hello.o: hello.c
    gcc -o hello.o -c hello.c -W -Wall
main.o: main.c hello.h
    gcc -o main.o -c main.c -W -Wall
```

**en jaune les cibles** (ce sont des fichiers à créer s'ils n'existent pas ou si une dépendance a été modifiée).

**en vert les dépendances** les fichiers nécessaires pour exécuter la commande correspondante.

**en bleu la commande** les commandes sont précédées d'une tabulation.

La première règle permet de construire le fichier hello avec les fichiers dépendances hello.o et main.o. Si ces fichiers ne sont pas présents ou pas à jour alors les règles 2 et 3 sont exécutées pour les créer. On peut voir que pour les règles 2 et 3 les dépendances ne sont pas des cibles d'une autre règle.

### 3 le makefile complété

Généralement d'autres règles sont inclus pour reconstruire le projet dans sa totalité et pour supprimer les fichiers intermédiaires ( les fichiers .o)

```
all: hello
hello: hello.o main.o
    gcc -o hello hello.o main.o
hello.o: hello.c
    gcc -o hello.o -c hello.c -W -Wall
main.o: main.c hello.h
    gcc -o main.o -c main.c -W -Wall
clean:
    rm -rf *.o
mrproper: clean
    rm -rf hello
```

### 4 définition de variables

Il est possible de définir des **variables** dans un makefile.

```
CC = gcc
CFLAGS = -W -Wall -O6
EXEC = Hello

all: $(EXEC)
$(EXEC): hello.o main.o
    $(CC) -o $@ $^
hello.o: hello.c
    $(CC) -o $@ -c $< $(CFLAGS)
main.o: main.c hello.h
    $(CC) -o $@ -c $< $(CFLAGS)
clean:
    rm -rf *.o
```

Il existe aussi plusieurs variables internes au makefile comme par exemple:

**\$@** Le nom de la cible  
**\$^** La liste des dépendances  
**\$<** Le nom de la première dépendance